第1章

民生機器向けマルチコアLSI開発物語

LSI開発の現場を見る

藤本真也

本稿では半導体設計技術者を目ざすフレッシャーズを主な対象に，複数のプロセッサ・コアを集積したLSIの開発のようすを解説します．筆者が開発に携わってきた米国LSI Logic社のマルチコアLSI「ZEVIO 1020」を例に，技術者としての心構えやこれから皆さんが必ず立ち向かうであろう苦労，それを乗り越えられたときに得られる喜びなどを，実体験を交えて皆さんに伝えられればと思います．（筆者）

近年，日常生活で接する電子機器の数が劇的に増えています．また，携帯電話をはじめ，携帯音楽プレーヤや電子辞書などは多機能になり，小型化されています．半導体技術の驚異的な進歩のおかげといえるでしょう．

エンジニアとしては，最新の技術の恩恵を受け続ける製品に目が奪われがちです．しかし，よく周りを見渡すと，最近10年くらいの間で，技術的にはそれほど大きな躍進を遂げていない製品群も少なくありません．その一例として挙げられるのは電子玩具です．

おもちゃ市場は，民生機器の中でも価格競争が最も厳しい市場の一つです．ここでいうおもちゃ市場とは，家庭用テレビ・ゲーム市場とは異なります．

電子玩具に使われている技術は，テレビ・ゲームや携帯型ゲーム機の進歩と比べてみれば数倍の遅さです．例えば，現在おもちゃ市場で人気のある体感ゲーム機においては，いまだに2Dグラフィックス表示しか使われていません．これに対し，テレビ・ゲーム機器では，すでに10年以上前に2Dから3Dへの移行を完了しました．テレビ・ゲーム機器は，ソフトウェアの利益をハードウェアのコスト回収へ補填できるビジネス・モデルがとれるため，最新の技術を採用し独自性を打ち出すことが可能な，特殊な市場です．その一方で，機器単体でしっかりとした利益を確保しないと

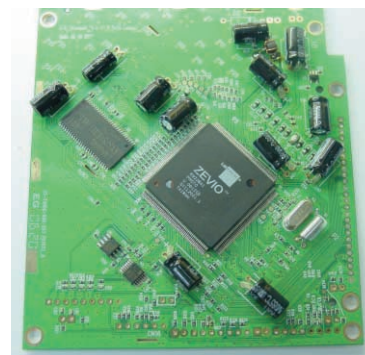
（a）外観

（b）内部基板

写真1
家庭用教育・娯楽機器の例
LSI Logic社の「ZEVIO 1020」を搭載する香港VTech Electronics社の「V.Flash Home Edutainment System」．米国内における販売価格は69～99ドル．

KeyWord　マルチコア，ZEVIO，グラフィックス，システムLSI，AHB，IPコア，ASSP，EDAツール，FPGA，機能検証

いけない一般的な電子玩具では，先端技術を使うリスクとコストがネックになります．

技術としては魅力的であっても，コストや消費電力などの理由で採用に踏み切れないジレンマは，多くのエンジニアが直面します．本章では，新しい技術をできるだけ低コストで提供することをねらった米国LSI Logic社の「ZEVIO 1020」を例に，LSI開発の様子を紹介します．

本LSIを搭載する機器の一つに，香港Vtech Electronics社の「V. Flash Home Edutainment System」があります(**写真1**)．3Dグラフィックスやビデオ再生機能を持つ，6歳から10歳の子供を対象にした教育・娯楽機器です．CD-ROMドライブを搭載しながら，米国では69～99ドルで販売されています．同じ価格帯の製品の多くは，主に2Dグラフィックスや静止画しか扱えません．新しいLSIを開発したことによって，この市場における技術の底上げを実現できたと自負しております．

図1
プロジェクトが始まるまでの一般的なフロー
次の製品の企画があがってきて，企画が煮詰まった段階で技術部門に要求仕様書が廻ってくる．技術部門ではその企画が実現可能かどうかを見極める．さらに購買部門と採算が合うかなどビジネス的な検討を進め，最終的に製品化するかどうかという決断を下す．

1 企画を立案する

さて，ひとくちにLSI設計といっても，まずは何を作るか全体の企画が決まらないと何も始められません．

● 良い製品を作るためにはエンジニアの企画参画が必要

ある程度大きい会社であれば，製品企画やマーケティングを専門に行う部署があると思います．一般的なケースとしては，これらの部署から次の製品の企画があがってきて，企画が煮詰まった段階で技術部門に要求仕様書が廻ってきます．技術部門では，その企画が実現可能かどうかを見極めます．さらに，購買部門と採算が合うかなどビジネス的な検討を進め，最終的に製品化するかどうかという決断を下します(**図1**)．

このように，それぞれの部署が与えられた範囲の中で作業をこなしているのは効率が良いようにも見えますが，実際にはスムーズに進むことはなかなかありません．役割分担が明確になっている分，ほかの部署の見解が見えないことが多くなるからです．

例えば，企画としてはすばらしいものであっても技術的には到底不可能であったり，逆に技術的にほかの製品を圧倒できるようなアイデアを思いついたとしても，採算が合わずビジネスとして成り立たないということもよくあることです．

ここで大事なことは，たとえ技術部門に所属しているとしても，企画段階から積極的に加わるよう心がけることです．もちろん会社の方針や，特に大企業では組織のしがらみなどもあるので，容易にできることではありませんが，少なくとも技術者として常に良いものを世に送り出す，作るという基本姿勢は忘れてはいけません．いつまでも他人が作った企画を待っているだけでは，なかなか良いものができない上，ビジネスとしても成功する確率も格段に下がるでしょう．営業・企画・技術，それぞれの意見を採り入れ，いっしょに作った企画が一番世に受け入れられるものと筆者は考えます．

● 開発効率を上げるためのプラットホームを立案

ZEVIO 1020は「ZEVIO」というシステムLSIのプラットホームがベースになっています．ここでは，ZEVIOプラットホームを立案した背景から振り返ってみたいと思います．

筆者が当時所属していた部署は「カスタム・ソリューション部」といって，顧客の要求通りのカスタムLSIを作ることを主に担当していました．過去にはソニー・コンピュータエンタテインメントの「PlayStation」や「PlayStation 2」に採用されたプロセッサの設計や，近年では米国Apple社の「iPod」に採用されているLSIなども手掛けています．このようなヒット商品の開発に携われるというのは当然，エンジニアとして幸せなことですが，それ以上にさまざまな顧客の要求や市場の反応を生で体験できることが，恵まれ

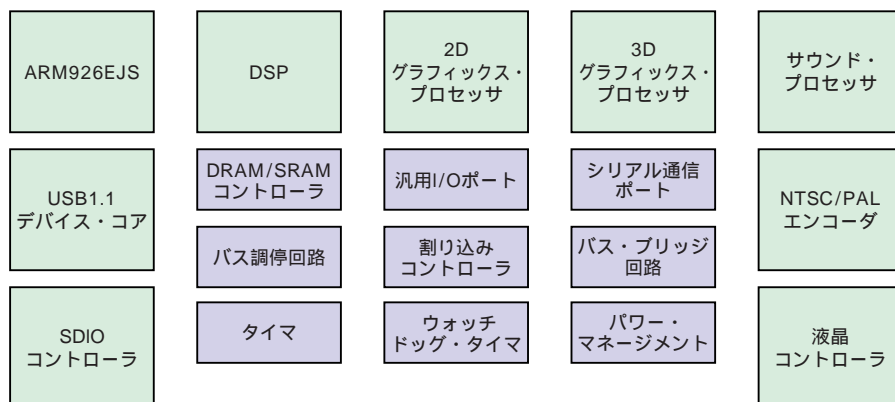
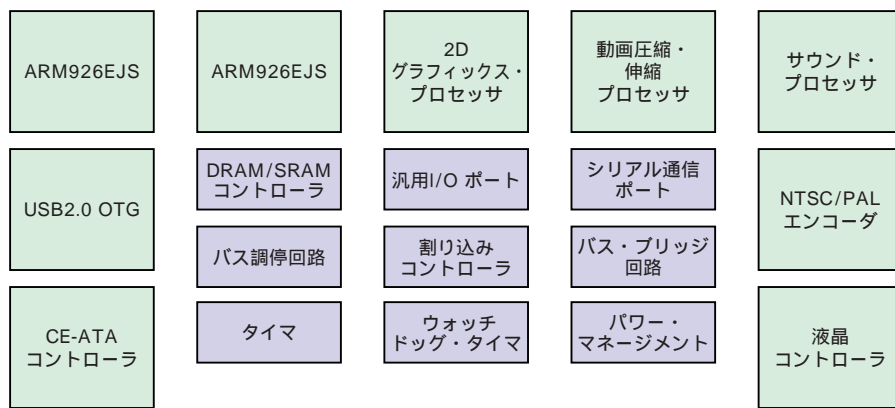



図2
民生機器向けLSIのブロック図
異なる顧客，異なるアプリケーション向けのLSIであっても，共通な機能ブロックが多い．

ていると感じました．

そうした中で，ある時ふと気付いたことがあります．数々の顧客の要求を見比べてみると，共通点がかなり多いにも関わらず，それぞれの案件に対して別々の仕様書を用意したり，設計・検証をその都度やり直している効率の悪さです．コストや市場へ製品を投入するまでの時間が重視される民生機器に採用されるLSIにも関わらず，DMA(direct memory access)コントローラや割り込みコントローラなど，LSI機能の中では特徴とは言えないモジュールの開発に工数をかけすぎていたのです(図2)．

そこで，開発効率の改善を目標とし，さらに低消費電力に注力したプラットホームを開発するという企画を技術部からマーケティング部へ提案しました．その結果，とんとん拍子で話が進み，最終的に三つのコンセプトを実現することを目標に仕様策定をすることになりました．

● 製品コンセプトを固める

「ZEVIO」と名付けられたこのプラットホームが提唱するコンセプトは以下のとおりです．

- 高いコスト・パフォーマンス
- 携帯機器でも使用可能な低消費電力
- 開発期間の大幅な短縮

これらは民生機器用LSIを開発するに当たっていずれも非常に重要なコンセプトで，マーケティング部門からも強く推奨されました．

(1) 高いコスト・パフォーマンス

テレビ・ゲーム機器などでは，どんどん高機能なLSIが使われているにも関わらず，1万円以下で販売されているような電子機器には，技術的なブレークスルーが生まれていません．そこで，それらの製品にいかに最新の技術をコストに見合うように取り込めるかと言うことを念頭に置き，目標としました．

(2) 携帯機器でも使用可能な低消費電力

携帯機器では，電池寿命の良しあしが製品の評価を大きく左右します．また，省エネルギーはもちろんのこと，プリント基板設計や製品形状(意匠デザイン)の観点から，据

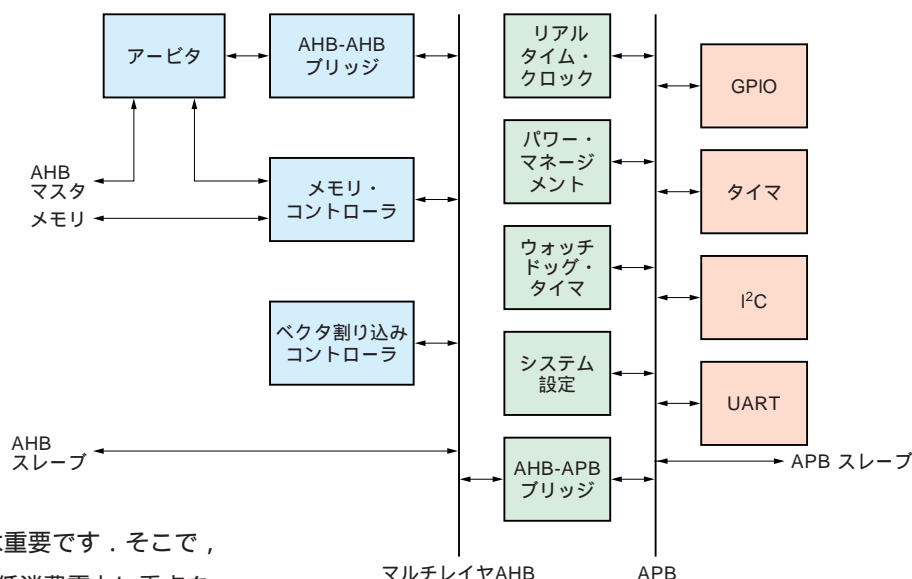



図3
ZEVIO プラットホームのブロック図
開発効率の改善を目標とし，さらに低消費電力に注力して設計した．

え置き型の機器であっても消費電力は重要です．そこで，プラットホームのコンセプトとして，低消費電力に重点を置きました．

(3) 開発期間の大幅な短縮

典型的なカスタムLSIでは，開発に1年以上の期間をかけていました．しかし，この開発期間では民生市場の変化の速さに対応できません．そこで，事前に共通ブロックの設計や検証を済ませることによって，仕様策定から顧客にプロトタイプを出荷するまでの期間を6カ月にすることを目標にしました．

このように，製品コンセプトを企画段階で時間をかけて固めることによって，あれもこれも入れてどんどん仕様が複雑になるという技術者が陥りがちな状況を防げるという利点があります．実際ZEVIOプラットホームの技術的な仕様の詰めは，かなりスムーズに進めることができました．でき上がったプラットホームのブロック図を，図3に示します．

● 特徴がないように見える中に技術が求められる

一般に，システムLSI用のプラットホームでは，CPUを中心とした構成をとります．しかし，ZEVIOプラットホームにはCPUは含まれていません．ターゲットのアプリケーションに適したプロセッサを複数搭載することによって，コストや消費電力を最適化できると考えたからです．ZEVIOプラットホームは，様々なプロセッサをつなげられる設計になっています．このような技術要素については，ブロック図だけからは読み取れません．

例えば，このプラットホームに接続する多くの機能ブロックをバス上で効率良く制御するしくみや，消費電力を抑えるためにメモリ・アクセス頻度を減らすための工夫です．また，オンチップ・バスとしては，業界標準になっている英国ARM社のAHBを採用することによって，既存のIP（intellectual property）コアをなるべく活用できるように考慮しています．しかし，IPコアをつなげばつなぐほど，バス効率が下がるデメリットもあります．こういったトレード・オフは，設計段階で考慮する必要があります．

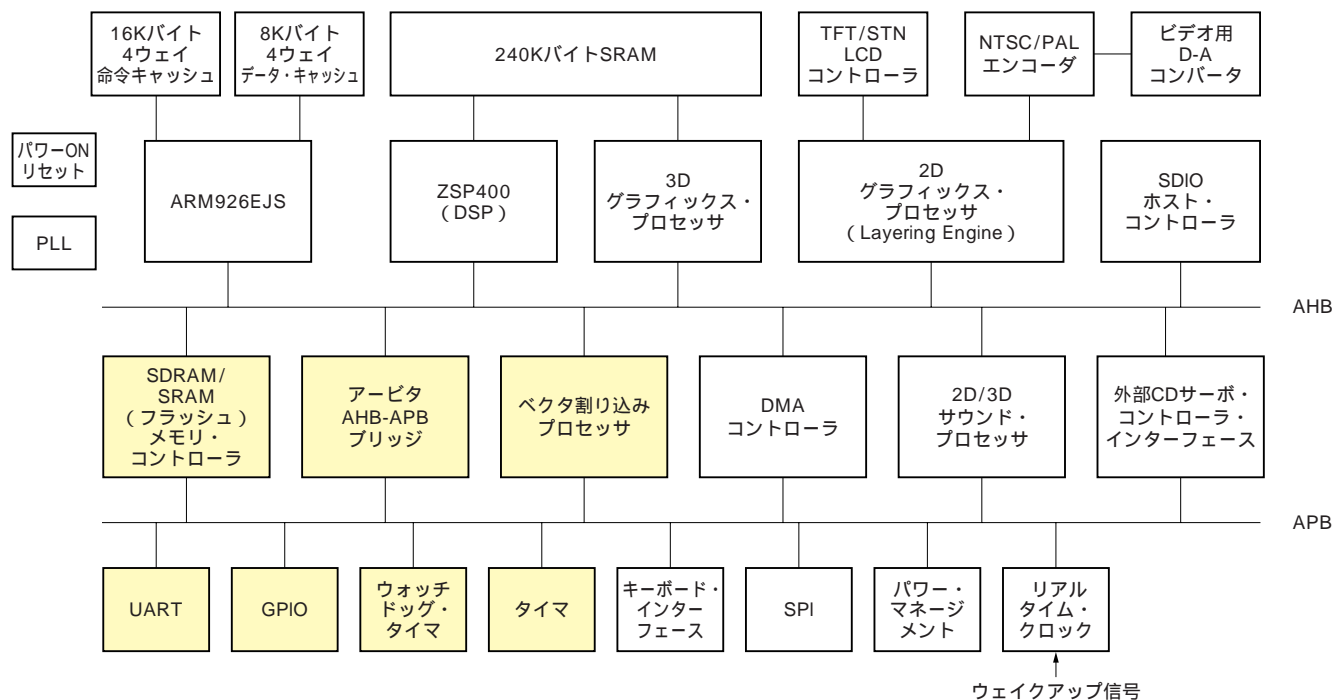
これら技術的詳細については本章ではふれません．機会があれば改めて解説したいと思います．

2 仕様の策定

プラットホームのコンセプトがある程度見えてきたところで，通常は営業やマーケティング部門とともに顧客周りをして，市場の生の反応を確かめます．

実際の設計をいったん始めてしまうと，なかなか後戻りはできません．社内でいくら意見調整ができていても，市場で想定したとおりのフィードバックが得られるかどうかを確認しておくことは重要です．

● 顧客の声を聞く

実際ZEVIOプラットホームをいくつかの顧客に紹介したところ，コンセプトや利点はある程度理解してもらえるものの，主な市場として狙っている1万円近辺で販売される電子機器の分野では，いくら開発効率を上げたところで数千万円はかかるカスタムLSIの開発まで行うことは容易ではないということが分かりました．

(a) ブロック図

CPU	ARM926EJ-S CPU，16Kバイト4ウェイ・セット・アソシアティブ命令キャッシュ 8Kバイト4ウェイ・セット・アソシアティブ・データ・キャッシュ 最高動作周波数150MHz	メモリ	SDRAMおよびSRAM/フラッシュ/ROMサポート 16ビット外部データ・バス (SRAM/フラッシュ/ROMおよびSDRAMで共用) ブート・デバイスとしてフラッシュ/ROMおよびSPI接続されたシリアル・フラッシュをサポート
グラフィックス	2D/3Dグラフィックス・アクセラレータ オンチップ・ビデオ・メモリ(DSPと共用)	低消費電力	CPU，DSPおよび内部バスの動作周波数はプログラマブル 機能ブロックごとのON/OFF制御 ‘Active’，‘Standby’，‘Power-down’の各種省電力モード
表示	LCDコントローラ(QVGA～VGA) NTSC/PALコンポジット・ビデオ出力		
音声	最大同時発声64音2D/3Dサウンド・プロセッサ， I^{2}Sフォーマット D-Aコンバータ，アンプ出力	システム制御	16ビット・タイマ×4(それぞれプリスケール可能) ウォッチドッグ・タイマ リアルタイム・クロック 8チャネルDMAコントローラ 32チャネル割り込みコントローラ オンチップ・パワーONリセット(POR)サポート
DSP	デュアルMAC搭載高性能DSP ZSP400 オンチップ・データ・メモリ，オンチップ命令メモリ(グラフィック部と共用) DMAサポートおよびCPU-DSP間通信用メールボックス機能 最高動作周波数150MHz	デバッグ	ARM926とZSP400に対してJTAGポート経由のICEデバッグ・サポート
		テスト	SCAN JTAG，メモリBIST
I/O インターフェース	UART(2ポート) 外部CDインターフェース GPIO/キーパッド・インターフェース (32チャネルまたは8×8キー・マトリックス) SDIO(1ポート) SPI (2ポート)		

(b) 機能一覧

図4　ZEVIO 1020の概要
黄色のブロックが，プラットホームに含まれているモジュールである．

そこで，LSI開発の土台となるプラットホームを開発するだけでなく，自社で特定用途向け標準品(ASSP：application specifig standard product)を，このプラットホームを使って作ってしまえばいいのではないかということになりました．ここで初めて「ZEVIO 1020」としての企画が立ち上がったのです．

● ASSPとして仕様を考える

元々あったプラットホームのコンセプトに基づき，さらに以下のような具体的な目標が掲げられました．

- 主なターゲット市場は電子玩具・教育機器・ポータブル・ナビゲーション・システム
- 単3電池数本で駆動できる消費電力
- 差異化を図るための機能の開発

単純に性能を追求するだけではなく，コスト・パフォーマンスを特徴としているので，コスト追求が最も厳しく，それだけに新しい技術を導入しにくい市場を狙うのは自然な流れでした．また，据え置き型だけでなく携帯機器にも搭載されることを期待しているので，電池で利用可能な消費電力とすることも当然の要求仕様です．

半導体業界は，特に近年，激しい競争にさらされています．ASSPとして発売するためには，これまでとは明らかに違う要素が必要です．そこで，差異化を図る機能を検討しました．

筆者は以前から，3Dグラフィックスと3Dサウンドの機能を民生機器に組み込めないかと考えていました，これらの技術は，主にコストの理由から，大量生産が期待できる家庭用ゲーム機や，コスト負担に耐えられる業務用機器にしか使われていませんでした．これらの技術を電子玩具などの市場へ切り開くことができれば，開発するLSIのコスト・パフォーマンスを実証することができます．そこで，これらのIPコアをパートナとともに開発することにしました（下掲のコラム「パートナとの協業」を参照）．

このような課題を踏まえた上で作り上げた主な仕様を，**図4**に示します．図の中で，黄色のブロックがプラットホームに含まれているモジュールです．よって，それ以外が今回のASSPに固有の要素となります．

● 要求仕様をマルチコアで達成

ここで注目すべきは，アーキテクチャの異なる複数のプロセッサが一つのチップに混載されている点です．

通常このクラスのLSIでは，CPUやDSPが一つだけか，多くても二つ載せるのが限界と考えられていました．これは，コストや開発期間，バス・バンド幅などが問題になるためです．

しかし，バス効率やメモリ・アクセスをあらかじめ考慮しているプラットホームを使うことによって，多くのプロセッサを性能に影響なく搭載することが可能でした．

また消費電力を考えると，高速に動作する一つのCPUに処理を集中させるより，複数のプロセッサにそれぞれ得意な処理を分散させたほうが効率が上がります．周波数を上げずにすむためです．

3 LSIの設計

筆者が半導体業界に入った頃は，まだSOC（system on a chip）どころかIPコアという概念すらあまり聞かない時代でした．ちょうどVerilog HDLやVHDLなどの高級言語が出始めていた頃です（年がバレる？）．周りの先輩は皆，CAD（computer aided design）ツールを使って回路図を直接書き，LSIを設計していました．今のように複雑な回路設計ができる環境もそろっていなかったので，必然的にトランジスタやゲート単位の基本知識から，配置配線，ボード設計への配慮などさまざまな分野について精通する必要があります．このため，なかなか周りに付いていけず，入社当初は苦労したことを思い出します．

column パートナとの協業

ZEVIO 1020の開発を始めるに当たり，まず最初に問題だったのは，肝となる3DグラフィックスのIPコアの開発でした．ハードウェア面では熟練のエンジニアが揃っていたため，何も心配することはなかったのですが，3Dグラフィックスを使ったソフトウェア開発についての経験は当時のメンバは皆無でした．また，製品レベルでのコストや消費電力を下げるためのノウハウをLSI設計に盛り込むには，経験豊かなパートナを探すことが急務でした．

そこで元ゲーマの筆者の頭に浮かんだのは，以前おもちゃメーカのバンダイから販売された携帯ゲーム機「ワンダースワン」を開発したコトという会社でした（http://www.koto.co.jp/）．著名なゲーム・クリエータの故 横井軍平氏が設立したコトにはワンダースワンの携帯性や5000円以下というコスト・パフォーマンス，単3電池1本で30時間以上動作する消費電力などは，ゲーマとしてだけでなく技術者としても非常に注目していました．

そこで，営業部門といっしょに，飛び込みでZEVIO 1020の企画を持ち込んだのは数年前の夏のことでした．幸いコトでも次世代のアプリケーション・プロセッサ開発を企画していたところでした．そこから2社の協業が始まり，まずはグラフィックス・コアの仕様策定や評価ボードの開発，後にはFPGAや試作LSIの検証，今ではすべてのデモや開発キットを手掛けていただいています．

今後，どんどん複雑化するLSI設計では，無理して自社ですべてやり遂げようとせず，このようにお互いの長所を尊重できるようなパートナシップを会社の枠を超えて構築していくことが大事になってくると筆者は痛感しています．

それが近年はLSI設計フローも洗礼され，非常にスムーズに行われるようになりました．役割分担がはっきりしています．**図5**に示すのは，最近の一般的なディジタル半導体設計における作業フローです．

● チーム内で同じ意識を持つ

前段と言われるフロントエンド設計では，基本的にVerilog HDLやVHDLなどのハードウェア記述言語（HDL：hardware description language）を使って論理回路を記述し，シミュレータで検証（verification）を行います．

この作業を始めるにあたって重要なことは，記述するモジュールだけでなくLSI全体の仕様をよく把握することです．

LSI全体の回路規模が大きくなるにつれて，機能ブロック単位の開発であっても，複数のメンバがチームになって行うことは珍しくありません．このようなときは，チームのメンバ間で仕様の理解に少しでも違いがあると，場合によっては数週間単位で全体のスケジュールへ影響が出ることも考えられます．

図5　LSI設計の一般的なフロー
フロントエンドとバックエンドが単純に時系列で並んでいるが並行して仕事を進める．

複数の機能ブロックを含むLSIの開発では，機能ブロック間の接続や通信プロトコルに意識のずれがあると，うまく動作しません．単体では問題なく動作していても，組み合わせたときにうまく動作しなくなるのです．

このような問題を防ぐためには，自分の担当する機能ブロックだけでなく，少なくともプロジェクト全体で関わりのある機能ブロックについては，積極的に理解を深める努力をすることです．そして，少しでも疑問に感じることがあれば，躊躇せずによく話し合う必要があります．誤解の芽はなるべく事前に摘むようにしましょう．あとあとの苦労がかなり緩和されるのは間違いありません．

ある程度フロントエンド設計が落ち着けば，論理合成や配置配線などを行うバックエンド設計が始められます．

図5ではフロントエンドとバックエンドが単純に時系列で並んでいるかのようにも読みとれます．しかし実際には，バックエンド設計チームはフロントエンド設計を行っている間に準備を進めます．例えば，EDA（electronic design automation；電子設計自動化）ツールを効率良く使うためのスクリプトを作成したり，ツール・フローの確認を行います．フロントエンド設計と比べて，バックエンド設計はツールとの格闘が多い作業になります．そこで，いかに正確な情報を仕様書やフロントエンド設計者たちから集められるかが重要となってきます．特殊な信号の処理の仕方やタイミングの要求を，事前によく理解しておけば，ECO（ネットリスト．レベルの修正）の回数を最小限に抑えられるでしょう．

このように，最近の大規模LSI開発では，さまざまなチームが同時に動いているため，設計者同士でなるべくコミュニケーションを多くとることによってチームワークを深めることが大事です．

ZEVIO 1020の設計では，新しく設計した機能ブロックのいくつかで，仕様を作成した人とHDLコードを記述した人が異なりました．そして，でき上がった機能ブロックが仕様作成者の意図したものと違い，設計をかなりやり直すことになったのです．幸いにも大きな問題ではなかったので，スケジュールへの大きな影響はありませんでしたが，一つ間違えれば，数カ月単位の遅れが出てもおかしくありませんでした．

● EDAツールに使われないようにしよう

もう一つLSI設計において注意すべき点は，EDAツールはうまく使うものであって，頼りすぎてツールに使われないようにすることです．

近年，ツールの発達とともに若いエンジニアの技術力が低下していると感じることがしばしばあります．先にも書きましたが，それほどツールやフローが確立していなかった時代には，技術者は回路設計から配置配線までさまざまな分野を一人で理解することを強いられました．もちろん，今の回路規模で同じことを一人のエンジニアに求めることはできません．しかし少なくとも，各フローでどのようなことが行われているかということや，EDAツールがどのようなことを手助けしてくれているのかは把握しておかなければなりません．

例えば，近年フロントエンド設計の現場では，シミュレーションで見つかったバグの原因究明を手助けしてくれるツールが，頻繁に使われるようになっています．シミュレーションから抽出される波形データをクリックするだけで，論理階層を自動的に辿っていき，どのゲートから信号がドライブされているのか調べてくれたり，HDLコードの何行目に該当する記述があるかまで親切に教えてくれたりします．

筆者は，作業効率を上げられるこういうツールを否定するつもりは毛頭なく，逆にどんどん新しいものを取り入れて有効に使えないようならば，今後よりいっそう複雑になる回路の設計にはついていけなくなると思います．しかし，設計者はあくまでこのツールの使い手にならなければなりません．ツールがどのように自分の作業を助けてくれているのか，その概念を理解した上で使わないと，いつの間にかツールに使われるという本末転倒な事態に陥ることすらあります．

ツールに頼りすぎた一例として，入社当時の筆者自身の経験を紹介します．ある時，タイミング検証ツールが数百カ所ものスルー・レート違反を警告してきたことがあります．しかたなく，数日かけてネットリスト上で修正を行いました．しかし，よくよく考えてみると，それらの違反はすべて動作周波数が遅いテスト・モードでしか発生していませんでした．つまり，本来修正する必要はなかったのです．

このように，EDAツールの出力にただ単に頼ってしまうと，逆に作業効率を下げる結果を招いてしまいます．

4 FPGAによる機能検証

大規模なLSIの開発では，シミュレーションだけでは検証に時間がかかりすぎる場合が考えられます．特に，動画や3Dグラフィックスなどのように，1画面表示するだけでも数万～数億サイクルを要するような検証を全てシミュレーションで行うことは非現実的です．

このような場合，ハードウェア・エミュレータを使うといった選択肢もありますが，ZEVIO 1020ではFPGA（field programmable gate array）ベースの検証ボードを作って機能評価を行いました．**写真2**に，今回の評価に使ったボードを示します．

● ASIC向けの設計を複数のFPGAに実装する工夫が必要

このようなFPGA評価システムを構築するに当たって，設計者として注意しておかなければいけない点がいくつかあります．

まず，開発しているLSIのすべての機能が，一つのFPGAに入りきらないことが考えられます．このため，FPGAボードを開発する時点で，事前に機能ブロックをどのように振り分けるか，入念に検討しておかなければなりません．この振り分けすら自動的にやってくれるツールもありますが，プリント基板上の配線長などボード設計上考慮することも多いので，ツール任せにはせず，設計者自らある程度把握しておかなければなりません．

FPGAに不向きな記述がある場合は，意図した論理合成

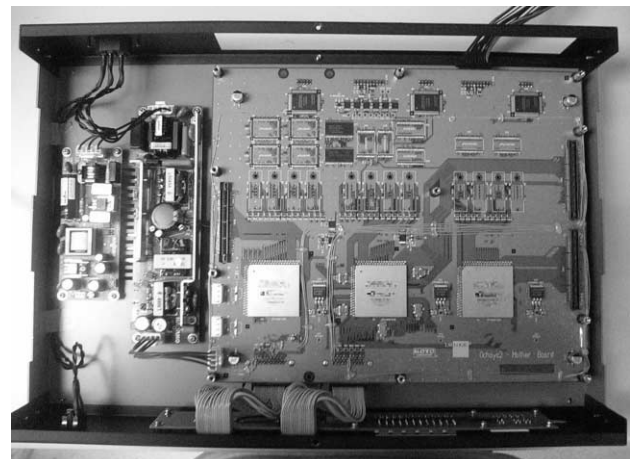



写真2　FPGA評価システム
3個のFPGAを使用しているがすべての機能を実装できなかった．動作速度も目標の1/3くらいであったが，機能検証では大いに活躍した．

が行われないことがあります．例えば，立ち下がりのフリップフロップを使った場合や，ラッチを使っている場合などは注意が必要です．

最後に，クロック周りに関しては，FPGAはクロック・ゲートが不向きだったりといろいろな制約があるため，事前にFPGA用にクロック・ツリーをどうするか考えておく必要があります．

ここでは，これ以上の詳しいところは割愛しますが，このように単にFPGAで評価すると言っても，期待通りに動作させるには，それなりに入念な準備や工数を割く覚悟がなければなりません．

● FPGAで効率は上がるがシミュレーションも不可欠

最近はFPGAもかなり大きな論理を入れられるようにはなりましたが，それでもZEVIO 1020規模のLSIになるとかなり大規模のFPGAを3個搭載してもすべての論理は入り切りませんでした．周波数に関しても論理を詰め込みすぎたせいか，目標の1/3くらいしか出ませんでした．

ただ，それでもシミュレーションで検証することを考えると桁違いの効率です．特に，グラフィックス処理回路の評価には重宝しました．

もちろん，信号の微妙なタイミングの検証が必要な場合など，すべての検証にFPGAが向いているわけではありません．検証項目リストを作成する段階で一番効率の良い検証方法を考え，シミュレーションによる検証とFPGAによる検証に振り分けておくことが重要です．

5 試作LSI評価基板の設計

試作LSIの評価を円滑に進めるためにも，評価基板の設計はLSI設計と並行して行わなければなりません．

評価基板を作ると言っても，LSIの成熟度（初めて作るLSIなのか，以前に作ったLSIの派生品なのか）や市場要求（一刻も早く顧客にリファレンス・デザインとして提供するのか，まずは社内評価をじっくりやるのか）などによって要求仕様が異なってきます．

今回の例では，新しいプラットホームで作る初めてのLSIと言うこともあって，かなり入念なバックアップ・プランを基板の仕様に練り込みました．

● リセットとクロックが重要

LSIの評価を始めるに当たって，一番最初に気にかけるのはリセット信号周りとクロック周りです．論理機能にいくらバグがあっても，リセットとクロックがきちんと動作しないと何の評価もできません．特に，これらのようにあまりに基本的な部分というものは，得てしてケアレス・ミスが出やすいものです．

筆者は何をするにも最悪のケースを想定して，いかにそのケースを避けられるかを考えるように心がけています．今回の評価基板でも，LSIの内部PLLが使えない場合に備えて，基板からシステム・クロックを供給できるようにしたり，基板上で生成されるリセット信号を直接いじれるようにジャンパをかましたりしておきました．

● 不具合発生に備えた動作モードを用意

論理機能に関して，今回はFPGA基板を活用してある程度動く自信がありました．しかし，FPGAで評価できないD-Aコンバータなどのアナログ部分に関しては，一抹の不安はありました．もちろん，シミュレーション上では問題ないと分かっていても，やはり実際動いているところを確認するまでは疑心暗鬼になるものです．

そのため，LSI設計の段階で特別なテスト・モードを用意し，万が一アナログ部分に不具合が見付かった場合でも，外部のD-Aコンバータに切り替えられるよう，仕様に盛り込んでおきました（**図6**）．

さまざまな悪いケースを事前に想定して，できるだけ基板で対策をとっておくことができていれば，仮に問題が起きた場合でもほかの機能の評価は実施できます．反面何か一つでも不具合が起きたことによって，評価が完全にストップしてしまうようなことになってしまうと，未知数のバグを潜在的に抱えたまま，LSIを作り直さなければなりません．このようなことを何度も続けていると，評価だけで軽く1年以上かかりかねないうえ，それに伴う費用も少なくありません．

写真3はZEVIO 1020の評価に使ったボードです．基板の個体差に惑わされずに，いろいろなロットのチップを評価するため，ソケットを実装しています．また，実装されていないテスト・ポイントなども用意してあります．試作LSIに不具合が見受けられた場合は，それらを使って信号の波形をロジック・アナライザやオシロスコープで観測しながらデバッグできるようにしました．また，さまざまな

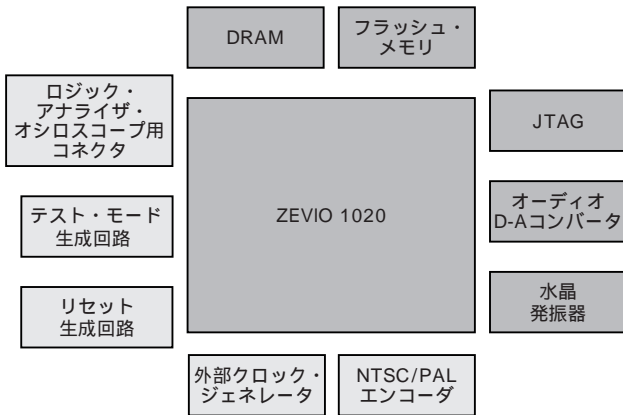
DRAM
フラッシュ・メモリ
ロジック・アナライザ・オシロスコープ用コネクタ
JTAG
ZEVIO 1020
テスト・モード生成回路
オーディオD-Aコンバータ
リセット生成回路
水晶発振器
外部クロック・ジェネレータ
NTSC/PALエンコーダ

□ バックアッププラン用回路とIC　■ 通常使用回路とIC

図6　不具合発生に備えた動作モードを用意
不具合に備えて回避策を事前に用意することで評価の遅れを最小限に抑える．

テスト・モードを動的に設定できるようにスイッチを多数並べてあります．

6　プロトタイプ立ち上げ

検証が無事終了し，設計データを半導体製造会社へ渡してしまえば，フロントエンドとバックエンドの設計者は，LSIができ上がってくるまで，つかの間の休息を得られます．この間に評価基板や品質管理用のテスト・プログラムなどの担当者たちは，最後の追い込みを行います．そして数週間後，LSIができ上がってきてからは，半導体設計者がまた評価やデバッグに追われる多忙な日々がまた続きます．

ZEVIO 1020の立ち上げには筆者の会社のエンジニアたちはもちろん，既に採用が決まっていた顧客や，いっしょに開発を行ったパートナ企業のエンジニアなど，世界中からエンジニアが一堂に集まりました．これ程までの規模のLSIを立ち上げるには，LSI内の各種モジュールの設計者はもちろん，基板やソフトウェアの開発者を1カ所に集めるのが一番効率的です．しかも，量産スケジュールが決まっているので，一刻も早いLSIの検証を行うのと同時にソフトウェアの開発環境を整える必要がありました．

LSIが実際に届く日は海外にある半導体工場の進み具合によって微妙に動くため，その期間はいつも楽しみと不安が入り交じる変な気分にさせられます．もちろん，無事に動くことを確信して設計データを固めたわけですが，ひょっとしたら何か大きなミスを見逃してないだろうかと待たされている間に疑心暗鬼になったりするものです．

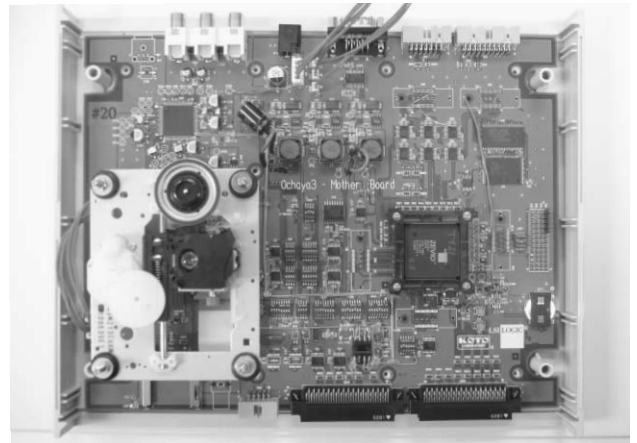



写真3　評価基板

写真4　デモ用基板

LSIが届いて基板に実装した後，初めて電源を入れるときには緊張が最高潮に達します．最初に火（電源）を入れたときに，まずチップが熱くなってないか触ってみたり，煙が出てないか鼻をクンクンさせたりすることは，LSIを設計した人であれば一度はやったことがあるはずです．

幸いにも，ZEVIO 1020の立ち上げはこれ以上ないくらい順調に進み，なんと最初の3日間で，FPGA上で動いていたOSやデモ・プログラムがすべて移植されて動いていました．ずっとFPGA上で遅いフレームレートで動いていた3Dの箱が回転するデモが，実機で60フレーム/sで動いたのを見たときは感動しました（**写真4**）．さらに顧客の持ってきた開発ボードもすんなりと動き，元々3週間の滞在を予定しいたのが1週間ちょっとで帰ることになり，良い意味で拍子抜けしたのを覚えています．

このようなケースは，ほぼベストに近い立ち上げだったと考えます．ZEVIOプラットホームという事前に検証が

十分に行われていたベースがあったことと，シミュレーションやFPGAで入念に検証を重ねた賜物だと考えます．また，結果的に評価基板上に盛り込んだバックアップ回路はどれも使うことはありませんでしたが，最悪のケースに対する保険と考えれば，十分に納得できる作業工数のトレードオフだったと思います．

7 量産出荷

LSIの検証が終わり，量産を開始した段階でプロジェクトが完了したと考えられている方もいるかもしれませんが，実はまだまだ終わりません．どちらかというと，ここまでの作業は比較的エンジニアとしてやっていて楽しい部類に入るものだと思いますが，ここからがほんとうに泥臭い作業の始まりです．

まず，量産が始まれば徐々に製造歩溜まりのデータが集まってきます．品質管理部門からは，当然のように歩溜まり改善の要求が出てきます．また，顧客の製品製造ラインで多数の不具合品が見つかった場合などは，早急にそれらの不良品を選別できるテスト・プログラムを作成して半導体製造工場に渡さなければなりません．これに手間取っていると，顧客によっては製造ラインをストップしてしまう可能性もあるので，そうならないためにも迅速な対応が求められます．

そのほかにも，市場へ出る製品向けのアプリケーションを顧客が開発する中では，当然ハードウェアの質問には素早く答えなければなりません．特に，ソフトウェア作成中に報告される不具合については，まずハードウェアの問題なのかソフトウェアのバグなのかを見極めるところから始めないといけません．そうなってくると，たとえLSIの設計者でも，ある程度ソフトウェアを理解する努力は避けて通ることができません．

ここまで書いてしまうと，げんなりしてしまう方もいるかもしれませんが，これらすべての努力は，実際に製品が市場に出たときの喜びで報われるはずです．やはり精魂込めて作り上げたチップが，実際の製品となって世の中に出る瞬間は感無量です．

また，筆者はLSI設計者としてハードウェアのことはよく分かっていても，ソフトウェアでどこまでできるのかいまだによく理解できていないところがあります．自分で作ったLSIでこんなことができるのかと想像もしていなかった使い方や性能を見せつけられたときは，いつもソフトウェア屋さんの凄さに驚かされます．

8 まとめ

つい数年前に，100万ゲートが1チップに入るようになったのかと驚いたものですが，今となっては複数のプロセッサが入って当たり前の時代になってきました．本章では，その半導体業界へ，この春飛び込まれるフレッシャーズを対象に，半導体設計における全体的なフローを筆者の経験を交えて解説してみました．

半導体プロセスやEDAツールなどがものすごいペースで進化していく中，一口に半導体設計と言っても企画や仕様策定から始まり，基板やソフトウェア，果ては歩溜まり改善や不良解析まで，求められるスキルは想像以上だったのではないかと思います．今後直面するさまざまな難題に対応できるよう，入社して最初の数年は，仮に少し遠回りに感じることがあったとしても，着実に幅広い基礎知識や経験を身に付けていくことが大事だと思います．

筆者の場合，入社1～2年経過して少し仕事に自信がついた頃，上司に興味のないさまざまな仕事をやらされた上，怒られてばかりで居心地悪く感じた時期がありました．しかし，その結果幅広い知識が身に付いて，4年目には日本から米国カリフォルニア州にある本社へ移籍する機会に恵まれました．今となっては，あのとき毎日筆者を怒っていた当時の上司には非常に感謝しています．

新人の皆さんにとって，最初の数年は吸収することが多すぎて大変かもしれません．しかし，エンジニアとしての大事な時期なので，難題にぶち当たってもくじけずに若さと気合いで立ち向かってください．

最後に，本章が今後の半導体業界を担っていく皆さんの参考に少しでもなれたのであれば，うれしく思います．

ふじもと・しんや
米国LSI Logic社 主席技術者
http://www.lsi.com/

<筆者プロフィール>
米国Carnegie Mellon Universityで電子工学とコンピュータ・サイエンスを専攻．卒業後は日本で数年の修業を経てから，米国でPlayStation2用主要LSIの開発に携わる．中学時代は，全国大会に選抜されたほどのゲーマだったが，最近は4歳の娘に勝てないこともあり，衰えを感じている．